

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-153623

(43)Date of publication of application : 10.06.1997

(51)Int.Cl.

H01L 29/786

H01L 21/3205

H01L 21/768

(21)Application number : 07-335771

(71)Applicant : SONY CORP

(22)Date of filing : 30.11.1995

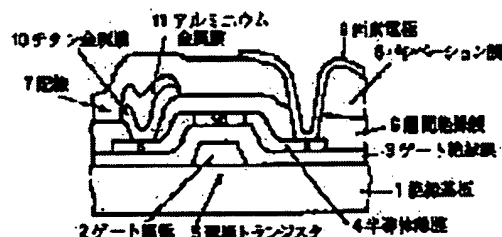
(72)Inventor : URAZONO TAKENOBU

(54) THIN FILM SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To enable prevention of voids and hillocks and hence prevention of disconnection without increasing wiring resistance, by providing a multilayer structure of wiring in which an aluminum metal film and a refractory metal film are stacked.

SOLUTION: A wiring 7 has a multilayer structure in which an aluminum metal film 11 and a refractory metal film are stacked. In the drawing, the refractory metal film is made of a titanium metal film 10. Also, other refractory metal films, such as, a tungsten metal film, a molybdenum metal film and a chromium metal film, may be used in place of the titanium metal film. The titanium metal film 10 functions as a barrier layer so that the aluminum metal film 11 does not directly contact a semiconductor thin film 4, thereby preventing generation of voids. In this double structure, mechanical strength of the wiring is secured by the titanium metal film 10. On the contrary, if the upper titanium metal film 10 is stacked on the lower aluminum metal film 11, the upper titanium 10 prevents migration of aluminum atoms even when stress is applied to the aluminum metal film 11.



BEST AVAILABLE COPY

LEGAL STATUS

[Date of request for examination] 16.01.2001

[Date of sending the examiner's decision of rejection] 18.03.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-153623

(43) 公開日 平成9年(1997)6月10日

(51) Int. Cl. ⁴	識別記号	片内整理番号	P I	技術表示箇所
H 0 1 L	29/78		H 0 1 L 29/78	6 1 6 U
	21/3205		21/88	N
	21/763		21/90	R
			29/78	B
				6 1 2 C
審査請求 未請求 請求項の数 6 F D (全 5 頁)				

(21) 出願番号 特願平7-335771

(22) 出願日 平成7年(1995)11月30日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 楠園 文隆

東京都品川区北品川6丁目7番35号 ソニー株式会社内

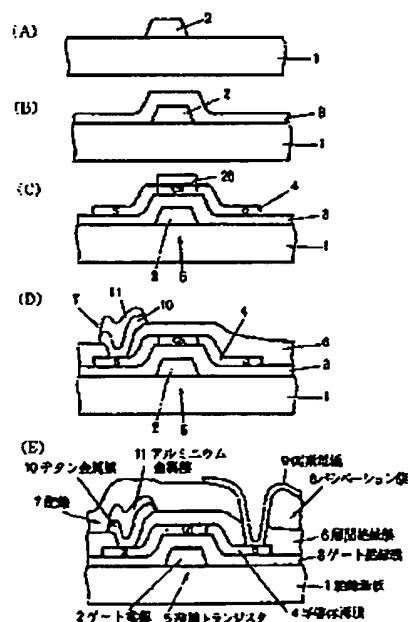
(74) 代理人 弁理士 鈴木 晴敏

(54) 【発明の名称】 薄膜半導体装置

(57) 【要約】

【課題】 薄膜半導体装置に集積形成されたボトムゲート型の薄膜トランジスタを結線する配線の断線故障を防止する。

【解決手段】 薄膜半導体装置は絶縁基板上にパタニング形成されたゲート電極2と、これを被覆するゲート絶縁膜3と、その上に形成されボトムゲート型薄膜トランジスタ5の活性層となる半導体薄膜4と、これを被覆する層間絶縁膜6と、その上に形成されコンタクトホールを介して薄膜トランジスタ5に接続する配線7とを備えている。配線7はアルミニウム金属膜11と高融点金属膜とを重ねた多層構造を有する。高融点金属膜は例えばチタン金属膜10からなる。上層側のアルミニウム金属膜11と下層側のチタン金属膜10とを重ねる事でボイドが防げる。逆に、上層側のチタン金属膜10と下層側のアルミニウム金属膜11とを重ねる事でヒロックを防止できる。さらには、チタン金属膜10/アルミニウム金属膜11/チタン金属膜10の三層構造とする事でボイドとヒロックの両者を抑制でき、断線を効果的に防止可能である。



BEST AVAILABLE COPY

(2)

特開平9-153623

1

2

【特許請求の範囲】

【請求項1】 絶縁基板上にパタニング形成されたゲート電極と、これを被覆するゲート絶縁膜と、その上に形成されボトムゲート型薄膜トランジスタの活性層となる半導体薄膜と、これを被覆する層間絶縁膜と、その上に形成されコンタクトホールを介して薄膜トランジスタに接続する配線とを備えた薄膜半導体装置であって、前記配線はアルミニウム金属膜と高融点金属膜とを重ねた多層構造を有する事を特徴とする薄膜半導体装置。

【請求項2】 前記高融点金属膜はチタン金属膜である事を特徴とする請求項1記載の薄膜半導体装置。

【請求項3】 前記多層構造は、上層側のアルミニウム金属膜と下層側の高融点金属膜とを重ねた二層構造である事を特徴とする請求項1記載の薄膜半導体装置。

【請求項4】 前記多層構造は、上層側の高融点金属膜と下層側のアルミニウム金属膜とを重ねた二層構造である事を特徴とする請求項1記載の薄膜半導体装置。

【請求項5】 前記多層構造は、上層側の高融点金属膜と中間のアルミニウム金属膜と下層側の高融点金属膜とを重ねた三層構造である事を特徴とする請求項1記載の薄膜半導体装置。

【請求項6】 該層間絶縁膜の上にパタニング形成され且つ該薄膜トランジスタに接続する図素電極を含む事を特徴とする請求項1記載の薄膜半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はボトムゲート型の薄膜トランジスタ等が集積形成された薄膜半導体装置に関する。より詳しくは、個々の薄膜トランジスタを結線する配線の膜構造に関する。

【0002】

【従来の技術】薄膜半導体装置はアクティブマトリクス型液晶表示パネルの駆動基板等に好適であり近年盛んに開発が進められている。特に、ボトムゲート型の薄膜トランジスタを集積形成した薄膜半導体装置は低温プロセス化に適しており絶縁基板の低コスト化及び大型化が可能になる為注目を集めている。従来の薄膜半導体装置は基本的に、絶縁基板上にパタニング形成されたゲート電極と、これを被覆するゲート絶縁膜と、その上に形成されボトムゲート型薄膜トランジスタの活性層となる半導体薄膜と、これを被覆する層間絶縁膜と、その上に形成されコンタクトホールを介して薄膜トランジスタに接続する配線とを備えている。加えて、アクティブマトリクス型表示パネルの駆動基板に应用する場合、図素電極も形成されている。

【0003】

【発明が解決しようとする課題】薄膜トランジスタを結線する配線として、従来から単層のアルミニウム金属膜が用いられている。アルミニウムは比較的導電率が高い為、配線の低抵抗化が可能である。しかしながら、配線

材料として単層のアルミニウム金属膜を用いると、所謂「ボイド」及び「ヒロック」等の発生により断線故障が多発するという問題がある。ボイドは薄膜トランジスタのソース領域やドレイン領域を構成する不純物半導体薄膜とアルミニウム金属膜との接触界面で合金化が進んだ結果生じるものである。配線側のアルミニウムが半導体薄膜側に移行する為コンタクト不良が生じ、断線の原因となる。又、ヒロックはアルミニウム金属膜に与える応力の為アルミニウム原子がマイグレーションを起した結果生ずるものであり、断線等の原因となる。これらのボイドやヒロックを防ぐ為には金属膜の厚みを大きくする必要がある。他の配線層との間で段差が生じる事になる。この段差にはストレスが集中する為断線の原因になったり、さらにはアクティブマトリクス表示パネルに应用した場合等基板表面に接する液晶の配向状態に影響を与える。このようなボイド及びヒロックの原因となるアルミニウム金属膜に代え例えばチタン金属膜を配線材料に用いる事が提案されている。アルミニウム金属膜をチタン金属膜で置き換えれば上述したボイドやヒロック等による断線を防止する事ができる。しかしながら、チタン金属膜はアルミニウム金属膜に比べ導電率が低い為、配線抵抗が増大し回路駆動上問題となる。

【0004】

【課題を解決するための手段】上述した従来の技術の課題を解決する為以下の手段を講じた。即ち、本発明にかかる薄膜半導体装置は基本的な構成として、絶縁基板上にパタニング形成されたゲート電極と、これを被覆するゲート絶縁膜と、その上に形成されボトムゲート型薄膜トランジスタの活性層となる半導体薄膜と、これを被覆する層間絶縁膜と、その上に形成されコンタクトホールを介して薄膜トランジスタに接続する配線とを備えている。特徴事項として、前記配線はアルミニウム金属膜と高融点金属膜とを重ねた多層構造を有する。前記高融点金属膜としては例えばチタン金属膜を用いる事ができる。本発明の一態様では、前記多層構造は上層側のアルミニウム金属膜と下層側の高融点金属膜とを重ねた二層構造である。他の態様では、前記多層構造は上層側の高融点金属膜と下層側のアルミニウム金属膜とを重ねた二層構造である。別の態様では、前記多層構造は上層側の高融点金属膜と中間のアルミニウム金属膜と下層側の高融点金属膜とを重ねた三層構造である。かかる構造を有する薄膜半導体装置をアクティブマトリクス型表示パネルの駆動基板に应用する場合、該層間絶縁膜の上にパタニング形成され且つ薄膜トランジスタに接続する図素電極が集積形成される。

【0005】本発明によれば、絶縁基板の上にボトムゲート型の薄膜トランジスタが集積形成されている。薄膜トランジスタを電気的に接続する配線として、例えばチタン金属膜とアルミニウム金属膜の多層構造を採用している。これにより、配線抵抗を上げる事なく薄層化と断

(3)

特開平9-153623

3

線防止を可能にする。例えば、下層側にアルミニウム金属膜を用い上層側にチタン金属膜を重ねる事でヒロックの発生を防ぐ事ができる。即ち、アルミニウム金属膜に応力が加わっても上層側のチタン金属膜によりアルミニウム原子のマイグレーションを抑制できる。逆に、下層側にチタン金属膜を用いその上にアルミニウム金属膜を成膜すれば、ボイドの発生を防ぐ事ができる。即ち、この多層構造ではコンタクトホール内において不純物半導体薄膜とアルミニウム金属膜との間にチタン金属膜が介在する構成となる。このチタン金属膜はバリア層として、絶縁性半導体薄膜を構成するシリコンとアルミニウムとの合金化を防ぐ事ができる。チタン金属膜自体は半導体薄膜と反応する事はない。さらに、配線としてチタン金属膜／アルミニウム金属膜／チタン金属膜の三層構造を採用する事で、ヒロック及びボイドの両方を防ぐ事ができる。

【0006】

【発明の実施の形態】以下図面を参照して本発明の最良な実施形態を詳細に説明する。図1は本発明にかかる薄膜半導体装置の第1実施形態を示す工程図である。先ず薄膜半導体装置の完成品状態を示す(E)を参照してその構造を詳細に説明する。図示する様に、絶縁基板1の上にゲート電極2がパタニング形成されている。このゲート電極2を被覆する様にゲート絶縁膜3が成膜されている。このゲート絶縁膜3の上に半導体薄膜4が形成されている。この半導体薄膜4はボトムゲート型薄膜トランジスタ5の活性層となり、その素子領域に台わせてアイランド状にパタニングされている。この半導体薄膜4には不純物が高濃度で領域選択的に注入されており、薄膜トランジスタ5のソース領域S及びドレイン領域Dは不純物が注入されないチャンネル領域Chが残される。かかる構成を有するボトムゲート型の薄膜トランジスタ5は層間絶縁膜6により被覆されている。この層間絶縁膜6の上には配線7が形成されており、コンタクトホールを介して薄膜トランジスタ5のソース領域Sに電気接続している。この配線7はパシベーション膜8により被覆されており、その上には画素電極9がパタニング形成されている。この画素電極9はパシベーション膜8及び層間絶縁膜6に開口したコンタクトホールを介して薄膜トランジスタ5のドレイン領域Dに電気接続している。本例では画素電極9を駆動するスイッチング素子となる薄膜トランジスタ5を示しているが、絶縁基板1にはこのスイッチング素子に加えて周辺駆動回路部も集積可能である。この駆動回路部もボトムゲート型の薄膜トランジスタで構成できる。この場合、薄膜トランジスタのソース領域S及びドレイン領域Dの両方に配線が接続する事になる。

【0007】本発明の特徴事項として、配線7はアルミニウム金属膜11と高融点金属膜とを重ねた多層構造を

4

有する。本例では、この高融点金属膜はチタン金属膜10からなる。なお、チタン金属膜に代えてタングステン金属膜、モリブデン金属膜、クロム金属膜等の高融点金属膜を用いても良い。これらの高融点金属膜は比較的高抵抗であるが、化学的に安定している点で特徴がある。又、機械的にも十分な強度を有しており、容易に断線する事がない。(E)に示す様に、配線7の多層構造は上層側のアルミニウム金属膜11と下層側のチタン金属膜10とを重ねた二層構造である。コンタクトホール内においてアルミニウム金属膜11とソース領域Sとの間にチタン金属膜10が介在している。チタン金属膜10はバリア層として機能し、アルミニウム金属膜11と半導体薄膜4は直接接触していない為ボイドが発生しない。この二層構造ではチタン金属膜10で配線の機械的な強度を確保する一方、アルミニウム金属膜11で所望の導電性を確保する様にしている。さらに、チタン金属膜10を介在させる事で断線故障の原因となるボイドを防いでいる。

【0008】引き続き図1を参照して本発明にかかる薄膜半導体装置の製造方法を詳細に説明する。先ず(A)に示す様に、ガラス等からなる透明な絶縁基板1の上にMo/Ta等からなる金属膜を成膜する。この金属膜を所定の形状にパタニングしてゲート電極2に加工する。次に(B)に示す様に、ゲート電極2を被覆する様にゲート絶縁膜3を成膜する。このゲート絶縁膜3は例えばLP-CVD法、プラズマCVD法あるいはAP-CVD法で成膜したSiO₂、膜やSi₃N₄、膜からなる。本例では十分なゲート耐圧を得る為、SiO₂/Si₃N₄の三層構造を有するゲート絶縁膜3をプラズマCVD法にて成膜した。次に(C)に示す様に、薄膜トランジスタ5の活性層となる半導体薄膜4をLP-CVD法やプラズマCVD法にて成膜する。本例では、非単結晶シリコンを50nmの厚みでプラズマCVD法により堆積した。この後結晶性を改善する為エキシマレーザビームを照射した。さらに半導体薄膜4の上にフォトレジスト20を塗布し、ゲート電極2をマスクとして裏面からセルフアライメントで露光処理を施した。これにより、フォトレジスト20はゲート電極2と整合する形状にパタニングされる。このパタニングされたフォトレジスト20をマスクとして例えばイオンドーピング等により不純物を領域選択的に注入し、半導体薄膜4にソース領域S及びドレイン領域Dを形成する。Nチャンネル型のトランジスタを作成する場合には不純物として例えば磷を注入する。又、Pチャンネル型のトランジスタを作成する場合には不純物として例えば硼素を注入する。さらに、半導体薄膜4に注入された不純物を活性化するためエキシマレーザビームを照射し、ソース領域S及びドレイン領域Dの低抵抗化を図る。この後半導体薄膜4を個々の薄膜トランジスタの素子領域毎に分離する。即ち、半導体薄膜4をエッチングしてアイランド状にパタ

(4)

特開平9-153623

5

ニングする。なお、使用済みになったフォトリソスト20は除去される。次に(D)に示す様に、薄膜トランジスタ5を被覆する様に層間絶縁膜6を堆積する。この層間絶縁膜としては SiO_2 膜や Si_3N_4 膜を用いる事ができる。本例ではAP-CVD法により SiO_2 を堆積して層間絶縁膜6とした。この層間絶縁膜6に対してコンタクトホールを開口し、ソース領域Sの一部を露出させる。この層間絶縁膜6の上に例えばチタン金属膜10を100nmの厚みで成膜する。さらに重ねてアルミニウム金属膜11を例えば300nmの厚みで成膜する。この多層構造をエッチングして配線7に加工する。最後に(E)に示す様に、配線7を被覆する様にパシベーション膜8を形成する。このパシベーション膜8としては例えば SiO_2 や Si_3N_4 の無機膜を用いる事ができる。あるいはアクリル樹脂等の有機膜を厚めに塗布してパシベーション膜8とし配線7の段差等を吸収する様にしても良い。パシベーション膜8及び層間絶縁膜6を選択的にエッチングして薄膜トランジスタ5のドレイン領域Dに直通するコンタクトホールを開口する。パシベーション膜8の上にITO等の透明導電膜を成膜し、所定の形状にパタニングして画素電極9に加工する。画素電極9はコンタクトホールを介してドレイン領域Dに電気接続する。

【0009】図2は本発明にかかる薄膜半導体装置の第2実施形態を示す模式的な部分断面図である。基本的な構成は図1の(E)に示した第1実施形態と同一であり、対応する部分には対応する参照番号を付して理解を容易にしている。異なる点は、配線7が上層側のチタン金属膜10と下層側のアルミニウム金属膜11とを重ねた二層構造を有している事である。即ち、図1に示した第1実施形態と比較するとアルミニウム金属膜11とチタン金属膜10の積層関係が逆転している。本実施形態ではアルミニウム金属膜11をチタン金属膜10が被覆している為ヒロックの発生を抑制できる。即ち、アルミニウム金属膜11に応力が加わってもチタン金属膜10が上部に位置する為アルミニウム原子のマイグレーションを抑制できこの結果ヒロックが抑えられる。なお、アルミニウム金属膜11に例えば固溶限界に達するシリコン原子を添加する事で、アルミニウム金属膜11とシリコン等からなる半導体薄膜4との界面における合金化を抑制でき、ボイドもある程度防げる。

【0010】図3は本発明にかかる薄膜半導体装置の第3実施形態を示す模式的な部分断面図である。基本的には図1の(E)に示した第1実施形態と同様であり、対応する部分には対応する参照番号を付して理解を容易にしている。異なる点は、配線7が上層側のチタン金属膜10と中間のアルミニウム金属膜11と下層側のチタン金属膜10とを重ねた三層構造を有している事である。この様に中間のアルミニウム金属膜11を上下からチタン金属膜10で挟持する事により、従来問題となってい

5

たボイド及びヒロックの両方を効果的に抑制する事が可能である。

【0011】最後に本発明にかかる薄膜半導体装置を駆動基板として組み立てられたアクティブマトリクス型表示パネルの一例を図4に参考の為示す。図示する様に表示パネルはガラス等からなる駆動基板101と同じくガラス等からなる対向基板102と両者の間に保持された液晶103とで構成されている。駆動基板101には画素アレイ部104と駆動回路部とが集積形成されている。駆動回路部は垂直駆動回路105と水平駆動回路106とに分かれている。又、駆動基板101の周辺部上端には外部接続用の端子部107が形成されている。端子部107は配線108を介して垂直駆動回路105及び水平駆動回路106に接続している。画素アレイ部104は互いに交差したゲート配線109と信号配線110を備えている。画素配線109、110の交差部には画素電極111とこれを駆動する薄膜トランジスタ112とが集積形成されている。一方、対向基板102の内表面には図示しないが対向電極や必要に応じてカラーフィルタが形成されている。

【0012】

【発明の効果】以上説明した様に、本発明によれば、薄膜トランジスタを結集する配線がアルミニウム金属膜とチタン金属膜等の高融点金属膜とを重ねた多層構造となっている。かかる構成により配線の抵抗を上げる事なくボイドやヒロックを抑制でき断線防止が可能になる。又、比較的高抵抗ではあるが機械的強度が大きいチタン金属膜と比較的機械強度が弱い電気抵抗が小さいアルミニウム金属膜とを組み合わせる事で配線全体の厚みを薄くする事ができ、その分絶縁基板表面に現われる段差が目立たなくなる。従って、段差に起因する配線の断線故障を防止できると共に、これと交差する他の配線の断線や亀裂等を防止できる。さらには、アクティブマトリクス型液晶表示パネルの駆動基板に应用した場合等液晶の配向不良を防ぐ事ができる。

【図面の簡単な説明】

【図1】本発明にかかる薄膜半導体装置の第1実施形態を示す工程図である。

【図2】本発明にかかる薄膜半導体装置の第2実施形態を示す模式的な断面図である。

【図3】本発明にかかる薄膜半導体装置の第3実施形態を示す模式的な断面図である。

【図4】本発明にかかる薄膜半導体装置を駆動基板として組み立てたアクティブマトリクス型表示パネルの一例を示す模式的な斜視図である。

【符号の説明】

- 1 絶縁基板
- 2 ゲート電極
- 3 ゲート絶縁膜
- 4 半導体薄膜

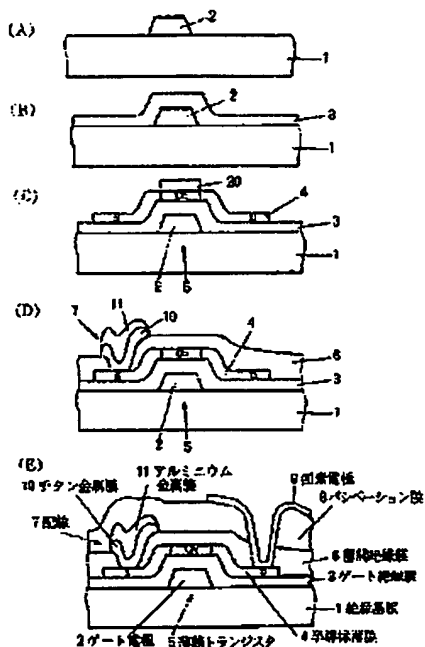
- 5 薄膜トランジスタ
6 層間絶縁膜
7 配線
8 パシベーション膜

(5) 特開平9-153623

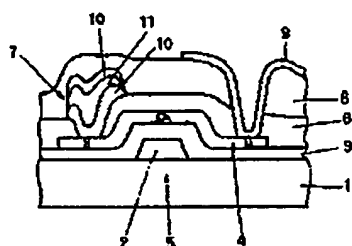
- * 9 画素電極
10 チタン金属膜
11 アルミニウム金属膜

*

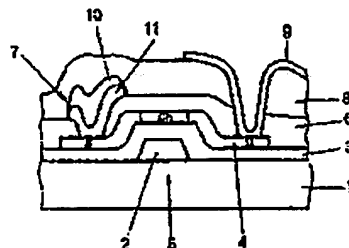
【図1】



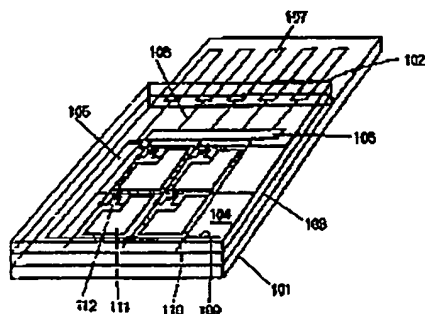
【図3】



【図2】



【図4】



BEST AVAILABLE COPY